

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-281491**
(43)Date of publication of application : **10.10.2000**

(51)Int.CI. **C30B 29/06**
H01L 21/02
H01L 21/208

(21)Application number : **11-084909** (71)Applicant : **NIPPON STEEL CORP**
(22)Date of filing : **26.03.1999** (72)Inventor : **IKARI ATSUSHI**
OHASHI WATARU
NAKAI KATSUHIKO

(54) SILICON SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the formation of vacancies and reduce the density of an oxygen deposit in a single crystal by introducing hydrogen at a specific concentration into the system for growing the crystal according to the Czochralski process and further introducing nitrogen thereinto.

SOLUTION: A crystal is grown while continuously introducing hydrogen gas at 3% to 0.1 ppm concentration expressed in terms of volume ratio into an atmosphere when the silicon single crystal is grown according to the Czochralski process. Furthermore, nitrogen in an amount of 1×10^{16} to 1.5×10^{19} atoms/cm³ is contained in the silicon melt to grow the silicon single crystal. The crystal defect density having ≥ 0.1 μm size expressed in terms of diameter is preferably 1×10^8 to 1×10^9 defects/cm³ in the thickness center of a silicon wafer prepared from the resultant silicon single crystal. The obtained silicon wafer is then heat-treated at about 1,000-1,300°C temperature in a nonoxidizing atmosphere for ≥ 1 h to produce a silicon semiconductor substrate.

LEGAL STATUS

[Date of request for examination] **04.10.2005**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-281491

(P2000-281491A)

(43)公開日 平成12年10月10日 (2000.10.10)

(51)Int.Cl.
C 30 B 29/06

識別記号
502

F I
C 30 B 29/06

テ-レコ-ト (参考)
502K 4G077

H 01 L 21/02
21/208

H 01 L 21/02
21/208

A 5F053
B
P

審査請求 未請求 請求項の数 7 OL (全 10 頁)

(21)出願番号 特願平11-84909

(22)出願日 平成11年3月26日 (1999.3.26)

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 碇 敦

神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内

(72)発明者 大橋 渡

神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内

(74)代理人 100072349

弁理士 八田 幹雄 (外3名)

最終頁に続く

(54)【発明の名称】 シリコン半導体基板及びその製造方法

(57)【要約】

【課題】 空孔欠陥の生成を抑制し、析出する空孔欠陥のサイズを低減させてシリコン単結晶を製造する方法を提供する。

【解決手段】 チョクラルスキー法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%～0.1 ppm連続的に導入しながら結晶を育成することを特徴とするシリコン単結晶の製造方法。

【特許請求の範囲】

【請求項1】 チョクラルスキー法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%～0.1 ppm連続的に導入しながら結晶を育成することを特徴とするシリコン単結晶の製造方法。

【請求項2】 チョクラルスキー法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%～0.1 ppm連続的に導入し、またシリコン融液中に 1×10^{16} atoms/cm³以上 1.5×10^{19} atoms/cm³以下の窒素を含有させることを特徴とするシリコン単結晶の製造方法。

【請求項3】 請求項2に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハであって、ウェハの厚み中心において、直径換算で0.1 μm以上の結晶欠陥密度が 1×10^9 個/cm³以上 1×10^9 個/cm³以下であることを特徴とするシリコン半導体基板。

【請求項4】 請求項1または2に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハを、非酸化性雰囲気において1000°C以上1300°C以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法。

【請求項5】 請求項3に記載の製造方法で得られたシリコン単結晶基板であって、基板から深さ0.1 μmまでの領域において、直径換算で0.1 μm以上の結晶欠陥密度が 10^9 個/cm³以下であることを特徴とするシリコン半導体基板。

【請求項6】 請求項1または2に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハ表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板。

【請求項7】 請求項4に記載の製造方法において得られたシリコン単結晶基板の表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板の製造方法。

【発明の詳細な説明】 本発明は、シリコン半導体基板の品質改善に関し、特に、ボイド欠陥の生成抑制によるボイドサイズの減少、ないしは酸素析出物の密度の低下をもたらしてなるシリコン半導体基板及びその製造方法に関する。

【0001】

【従来の技術】 シリコン半導体基板を用いて半導体デバイスを作成する際に、基板中の結晶欠陥がデバイスの動作不良を引き起こし、基板中の結晶欠陥密度によりデバイスの製造歩留りが変化することが知られている。近年、このデバイス動作不良を引き起こす結晶欠陥として、COP (Crystal Originated Particle) と呼ばれる欠陥が注目されている。これは、シリコン半導体基板をアンモニア-過酸化水素の混合液でエッチングした際、結晶中の格子欠陥を原因

としたピットが基板表面に生じ、基板表面のパーティクルを計数する検査装置によりこのピットが測定されるため、このように呼ばれている。COPとはこのような測定法で検出される欠陥全般を指す名称であるが、通常のチョクラルスキー(CZ)法もしくは磁場を印加したCZ法により育成されたシリコン単結晶では、この欠陥の実体は結晶中の八面体様の空隙(以下、空孔欠陥と称す)と考えられており、これがデバイスの構造的な破壊を引き起こすと推定されている。このようなデバイス作成に有害なCOPを低減あるいは消滅させる技術として、これまでにいくつかの提案がなされている。

【0002】 COPを消滅させる技術として、単結晶育成の際の結晶成長速度を0.8 mm/min以下とすることが知られている(特開平2-267195号公報)。これは、空孔欠陥を作る要素である空孔型点欠陥(vacancy)の結晶成長界面での導入量を減少させ、また単結晶の冷却速度を緩やかなものとすることにより、冷却中に発生する過飽和な空孔型点欠陥(vacancy)の発生を抑えるものである。しかしながら、この方法では、成長速度の低下による生産性の低下を招くとともに、転位ループ等のCOPとは別種の結晶欠陥を発生させるとする問題がある。

【0003】 COP発生を抑制する技術としては、単結晶の冷却挙動の制御、特に単結晶が約1200°Cから1000°Cの温度範囲を通過する時間の制御が有効であることが知られている(特開平8-12493号公報、特開平8-91983号公報、特開平9-227289号公報)。これらの技術は、単結晶の成長速度を大きく低下させないため、生産性という点では問題はないが、COP密度の低減下限は概ね 10^9 個/cm³程度であり、更なる低減、例えば 10^8 個/cm³以下の密度を達成することは困難である。

【0004】 また、単結晶育成時のCOP低減技術以外にも、単結晶からスライス・研磨して基板とした後に熱処理をすることにより、基板表面のCOPを低減・消滅させる技術も知られている。例えば、特開平3-233936号公報には、800～1250°Cで10時間以下の熱処理を行うことが提案されている。しかしながら、この公報の実施例に示されている酸化雰囲気で熱処理を行うと、基板表面の酸化侵食に伴い、空孔欠陥が基板表面に転写され、基板表面のピットの増大を招くと言う欠点があるとともに、基板表面から深さ1 μmの範囲内のCOP密度を 10^9 個/cm³以下とすることは困難である。

【0005】 また、特開昭59-20264号公報には、水素雰囲気中で熱処理することが提案されている。この方法は、水素雰囲気を用いることにより、最表面のCOPを消滅させ、かつ表面から0.5 μm以内のCOP密度を 10^9 個/cm³以下とすることができるが、表面からさらに深い部分のCOP密度を 10^9 個/cm³

以下とすることはできず、デバイス作成の観点からは無欠陥層の形成が不充分である。

【0006】また、結晶育成時に結晶を冷却する際850°C~1100°Cの温度範囲での冷却中の単結晶の保持時間を80分未満とし、または結晶を育成する際窒素濃度が $1 \times 10^{17} / \text{cm}^3$ であるシリコン単結晶を育成し、その後シリコンウェハに加工後1000°C以上の温度で1時間以上熱処理する技術が知られている（特開平10-98047号公報）。これは、結晶製造時に発生するCOPのサイズ分布をより小さい方にシフトさせることにより熱処理の際に欠陥を消滅させやすくする技術である。しかしながら、このサイズ減少の効果は酸素濃度が低いほど顕著とされており、このため、通常基板中の酸素濃度を高めることにより得られる基板内部での酸素析出物の発生を利用したゲッタリング能の付与とCOPの低減との両立が難しく、チョクラルスキー法で常用される $7 \sim 10 \times 10^{17} / \text{cm}^3$ の酸素濃度では実施されていない。

【0007】従って、デバイスの構造的な破壊を引き起こすと推定されるデバイス作成に有害なCOPないし空孔欠陥を効率良く低減あるいは消滅させるシリコン半導体基板の製造技術が望まれるところであった。

【0008】本発明者らは、半導体デバイス作成用のシリコン半導体基板において、前述したような従来の技術では完全には除去できないデバイス作成上問題となる空孔欠陥を、効果的に低減あるいは消滅させたシリコン半導体基板を生産性良く製造する方法として、特定濃度の窒素を含有するシリコン融液を用いてCZ法により育成したシリコン単結晶から得たシリコン半導体基板を、1000°C以上1300°C以下の温度で1時間以上熱処理する、および同様のシリコン半導体基板上にエピタキシャル成長層を堆積させるシリコン単結晶基板の製造方法を提案した（特願平10-122284号、特願平10-224829号）。このように窒素ドープの結晶においては、結晶育成時の点欠陥濃度及び点欠陥の凝集挙動が変化して、結晶中に発生する空孔欠陥を変容させ、grown-in欠陥として酸素析出物が高密度に形成され、ゲッタリングサイトとして活用することができるここと、またこのgrown-in欠陥はDZ層を作成する際に容易に消滅し、高品質なDZ層を作成できるというものである。

【0009】このように窒素ドープを用いた欠陥制御技術の本質はgrown-in酸素析出物の生成にあるが、この析出物の密度は、引上速度、窒素添加量によっては、あまり大きく変わらず、ウェハの用途に応じてこの密度を変化させる技術が望まれるところであった。

【0010】

【発明が解決しようとする課題】本発明は、半導体デバイス作成用のシリコン半導体基板において、デバイスの作成において有害となる結晶欠陥を効率良く低減あるいは

は消滅させることのできるシリコン半導体基板及びその製造方法を提供することを目的とする。本発明はまた、シリコン半導体基板中の酸素析出物の密度を制御性良く低減させてなるシリコン半導体基板及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明者らは、CZ法により育成されるシリコン単結晶における有害な結晶欠陥の生成を抑制することについて鋭意検討を加え、CZ法による結晶育成系内の所定濃度の水素を導入することによって、八面体様の空孔欠陥の生成が抑制されて空孔欠陥サイズが低下すること、また窒素を導入して単結晶を育成する系においてさらに水素を導入した場合には、単結晶中の酸素析出物の密度を制御良く減少させることができることを見出し、本発明を完成させたものである。

【0012】即ち、本発明は、（1）CZ法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%~0.1ppm連続的に導入しながら結晶を育成することを特徴とするシリコン単結晶の製造方法である。

【0013】本発明はまた、（2）CZ法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%~0.1ppm連続的に導入し、またシリコン融液中に $1 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下の窒素を含有させることを特徴とするシリコン単結晶の製造方法である。

【0014】本発明はさらに、（3）上記（2）に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハであって、ウェハの厚み中心において、直徑換算で0.1μm以上の結晶欠陥密度が 1×10^9 個/cm²以上 1×10^9 個/cm²以下であることを特徴とするシリコン半導体基板である。

【0015】本発明はまた、（4）上記（1）または（2）に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハを、非酸化性雰囲気において1000°C以上1300°C以下の温度で1時間以上熱処理することを特徴とするシリコン半導体基板の製造方法を示すものである。

【0016】本発明はさらに、（5）上記（4）に記載の製造方法で得られたシリコン単結晶基板であって、基板から深さ0.1μmまでの領域において、直徑換算で0.1μm以上の結晶欠陥密度が10⁹個/cm²以下であることを特徴とするシリコン半導体基板である。

【0017】本発明はまた、（6）上記（1）または（2）に記載の製造方法で得られたシリコン単結晶より作成されたシリコンウェハ表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板である。

【0018】本発明はさらに、（7）上記（4）に記載の製造方法において得られたシリコン単結晶基板の表面

に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とするシリコン半導体基板である。

【0019】

【発明の実施の形態】以下に、本発明について詳細に説明する。

【0020】本発明に係る第1のシリコン単結晶の製造方法は、CZ法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%～0.1ppm連続的に導入しながら結晶を育成することを特徴とする。

【0021】本発明者らは、CZ法によりシリコン単結晶を育成する際に導入された水素は、微量で結晶成長中の過冷却度を大きくする効果があることを見いたした。凝固温度が下がると固液界面の温度が下がり、導入点欠陥量（結晶の平衡点欠陥濃度）を下げることができ、結晶の冷却中に生じる過飽和な点欠陥の量を減らすことができる。また過冷却度が大きくなると凝固の相変態に伴うエンタルピーキャップが小さくなり、非平衡な点欠陥の導入も減少する。また、シリコン融液は過冷却状態において融液の構造が変化する可能性が指摘されており、この融液構造の変化に伴って点欠陥の導入量も減少すると考えられる。

【0022】これらの事象の単独あるいは複合的な効果により、この方法によれば冷却後の単結晶中の欠陥の量を下げることができる。また水素は、シリコン結晶中の拡散係数が高く、点欠陥と結合し、点欠陥同士の凝集を阻害する効果も期待できる。これによって、シリコン結晶の育成において八面体様空孔欠陥の生成が抑制され、主に空孔サイズが低減される。なお、本発明に係る第1のシリコン半導体基板の製造方法において得られるシリコン半導体ウェハにおいては、結晶欠陥の最大の大きさが0.2μm程度のものとができる。

【0023】雰囲気中に導入される水素ガスが体積比で3%を越えるものであると、シリコン融液より発生するSiCガスが当該雰囲気中の水素および反応装置内の炭素部材と反応し易くなり、SiC様の反応物が生起し融液界面に落下して界面を乱し単結晶育成を継続不能してしまう恐れがあり、一方水素ガスが体積比で0.1ppm未満であると、育成された単結晶中の欠陥密度の低減および空孔サイズの低減に有効に寄与し得ない。

【0024】ところで、我々は、シリコン半導体基板のデバイス作成領域における結晶欠陥について検討を加えた結果、デバイスの構造的な破壊を確実に引き起こす欠陥は、直径換算で0.1μm以上の大きさを持つものであり、この大きさより小さい欠陥は障害にならないことが多いことを見出した。また、シリコン半導体基板のデバイス作成では、表面から深さ1μmまでの領域の欠陥が歩留まりに大きく影響するため、少なくとも基板表面から深さ1μmの領域において、デバイスに有害な欠陥を除去できれば、基板上に作成するデバイスの歩留りを大幅に向上できる。サイズが0.1μm以上の結晶欠陥

は主として空孔欠陥であるが、as grownの結晶において、直径換算で0.1μm以上の結晶欠陥が多量に存在すると、結晶をウェハ化した後に外方拡散熱処理工程やエピタキシャル堆積工程を付してもこのような結晶欠陥がウェハ表面近傍領域に残留し、デバイス形成領域に欠陥を発生させる起点となり易いものである。これゆえ、水素ガスの導入により単結晶中の空孔サイズおよび欠陥密度の低減およびの低減を図ることができたことは、終局的にデバイス作製の歩留まりを向上させることができるとから大きな意義を有するものである。

【0025】このような本発明に係る第1のシリコン半導体基板の製造において用いられるシリコン単結晶の製造条件としては、シリコン融液原料が融解を始めてからインゴットの引上げが完了するまで、上記したような所定濃度の水素ガスを雰囲気中に連続できに導入できるものであればよく、特に限定されるものではない。さらに本発明において用いられるCZ法としては、通常のCZ法のみならず、例えば、磁場印加CZ法等の従来知られる種々の付加的要件を付したCZ法が含まれる。雰囲気中への所定濃度の水素ガスの導入は、例えば、引上装置へのアルゴンガス等の雰囲気ガスの導入口から当該雰囲気ガスに対し所定濃度となるように添加して行うことができる。

【0026】本発明に係る第2のシリコン単結晶の製造方法は、CZ法によりシリコン単結晶を育成する際、雰囲気中に水素ガスを体積比で3%～0.1ppm連続的に導入し、またシリコン融液中に 1×10^{16} atoms/cm³以上 1.5×10^{16} atoms/cm³以下の窒素を含有させることを特徴とするものである。

【0027】シリコン単結晶中に窒素を導入することにより、結晶育成時の点欠陥濃度及び点欠陥の凝集挙動が変化して、結晶中に空孔欠陥を形成せず、酸素析出物が発生するようになる。シリコンウェハの電気的特性の変化やデバイス熱処理時の積層欠陥などの欠陥発生を起こすことなく、ウェハ表面の微小ピットの発生を抑制するためには、シリコンウェハ中の窒素含有量を 1.0×10^{13} atoms/cm³以上 1.0×10^{16} atoms/cm³以下とする必要がある。基板中の窒素含有量が、 1×10^{13} atoms/cm³未満では空孔欠陥を完全には消滅させ難く、 1×10^{16} atoms/cm³超になると結晶育成の際転位が入りやすくなり、また窒素が酸素と複合欠陥を形成して基板の抵抗を変化させたり、さらに熱処理により積層欠陥ができやすくなる。なお、基板中の窒素含有量は、SIMS (Secondary Ion Mass Spectroscopy) を用いることにより測定できる。但しSIMS測定の場合 10^{13} オーダーの測定は難しく、低い窒素濃度は定量できない場合もあるが、この場合でも窒素の信号がバックグラウンドの信号よりも2倍以上の強度で局所的な増加を示す場合があり、この結晶でも窒素添加の効果は同

様に起こる。

【0028】窒素の偏折係数は 7×10^{-4} であり、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以下の窒素を含有するシリコン融液を用いれば $1 \times 10^{13} \text{ atoms/cm}^3$ 以上 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下の窒素を含有した結晶を育成し得る。

【0029】このように所定量の窒素を含有してなるシリコン融液を用いて結晶を引き上げる際に、同時に上記所定量の水素を導入した場合、上記したように結晶中に取り込まれた水素によって点欠陥の凝集が抑制されることから、窒素添加により増加する酸素析出物の析出密度もある程度抑えられる。

【0030】直径換算で $0.1 \mu\text{m}$ 以上の結晶欠陥は、前述の空孔欠陥の微小なもの他に、微小酸素析出物も含まれる。このような欠陥が大量にシリコンウェハ表面及び表層領域に存在すると、後述するように、外方拡散熱処理によってシリコンウェハ表面領域にDZ層を形成する、あるいは当該シリコンウェハ表面にエピタキシャル層を堆積して無欠陥層を形成しようとする際に、この結晶欠陥を完全に消滅除去できなかったり、あるいはエピタキシャル成長時にシリコンウェハからエピタキシャル層内に該結晶欠陥が伝播、転写されたり、該結晶欠陥を起点にエピタキシャル層内に新たな欠陥が誘起されたりする原因となる。

【0031】本発明に係る上記第2の製造方法により得られる窒素および水素を添加したシリコンウェハでは、その基板の厚み中心において、このような直径換算で 20 nm 以上の結晶欠陥密度が $1 \times 10^6 \text{ 個/cm}^3$ 以上 $2 \times 10^9 \text{ 個/cm}^3$ 以下程度存在する（このうち、ほとんどは微小な酸素析出物である。）。直径換算で 20 nm 以上の結晶欠陥密度がこの程度のものであると、外方拡散熱処理あるいはエピタキシャル堆積工程における前処理としての熱処理工程で上記欠陥を表面で分解消滅して無害化でき、窒素のみを添加したものと比較してもより厚い無欠陥層を形成することができ、一方基板の厚み中心においては十分なゲッタリング能力を発揮する高密度の結晶欠陥層を形成し得る。

【0032】本発明に係る第3の製造方法は、上記第1の発明ないしは第2の発明の製造方法において得られたシリコン単結晶より作製されたシリコンウェハを、非酸化性雰囲気において 1000°C 以上 1300°C 以下の温度で1時間以上熱処理することを特徴とするものである。

【0033】上記第1の発明の製造方法において得られたシリコン単結晶より作製されたシリコンウェハは、先に説明したとおり、結晶中に取り込まれた水素が、結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶中における析出欠陥の濃度および大きさを低減し、 $0.2 \mu\text{m}$ 程度かそれ以上の空孔欠陥を形成させない。また第2の発明の製造方法において得られたシリコン單

結晶より作製されたシリコンウェハは、先に説明したとおり、結晶中に取り込まれた水素および窒素が結晶育成時の点欠陥濃度及び点欠陥の凝集挙動を変化させ、結晶成長時に 1150°C ～ 1050°C 程度の結晶温度で通常形成される空孔欠陥の発生を低減化する。一方、窒素が存在することにより、これよりも低い温度領域で、酸素析出物の核形成が助長されるが、水素はこのような点欠陥同士の凝集も阻害し、酸素析出物の析出密度も適度に抑えられる。なお、水素および窒素含有のシリコンウェハ中の微小酸素析出物の形態は、高温で不安定な析出物である。

【0034】従って、いずれも、ウェハ表面の酸素を外方拡散させるだけで表面領域における欠陥をほぼ完全に消滅させることができる。本発明の熱処理温度に関しては 1000°C 以上 1300°C 以下、望ましくは 1100°C 以上 1200°C 以下が適当である。温度が低いと酸素の外方拡散に多大の時間を要し、温度が高すぎると結晶中の熱平衡酸素固溶度が上がり酸素の外方拡散が起きなくなる。また、 1150°C 以上では高温になればなるほど基板表面の面荒れの問題が生じる。また一般的に、熱処理炉を高温で稼働させる際には予期しない炉体の汚染が生じやすくなるため、その危険性を減少させるためには熱処理温度を低くできることが望ましい。従って、必要なDZ層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、表記の温度範囲でできるだけ低い温度で熱処理することが望ましい。

【0035】また、このような本発明に係る第3の製造方法において、ウェハ内部の酸素析出物は熱処理により成長するため、熱処理ウェハは内部に高密度のゲッタリング層を持つことができる。通常のこの様な表面にDZ層を持ち内部に高密度のゲッタリング層を持つ、いわゆるIGウェハは3段の熱処理（酸素の外方拡散+酸素析出核の形成+酸素析出物の形成）によってのみ作成することができるが、本発明の製造方法を用いれば、通常のIGウェハよりもより完全性が高いDZ層を持ちかつ内部に高密度のゲッタリング層を持つウェハを一回の熱処理で作成することが可能である。

【0036】熱処理雰囲気としてはウェハ表面の酸素濃度を効果的に低減でき、析出欠陥を容易に消滅させることができる非酸化性雰囲気が好ましい。非酸化性ガスとしては、経済性的観点からアルゴンガスが望ましい。含有不純物純度、特にガス中の不純物酸素の量を減らすという点ではヘリウムガスを用いる利点があるが、経済性および、ヘリウムガスの大きな熱伝導性に由来する熱処理炉の取り扱いの難しさの等の問題がある。窒素ガスは基板表面に窒化物を形成するため不適当である。

【0037】さらに付記すべきは、熱処理中に混入する不純物の量をできる限り減らす必要があることである。これは、試料の炉体内への挿入時を含む炉内雰囲気中の酸素がDZ層の完全性や結晶表面の面荒れに大きな影響

を与えるためである。この点に関しては特願平9-297158号で指摘しているとおりである。また、これには不純物を低減することにより、表面の結晶の完全性をより上げることができることを指摘しており、この効果を用いて熱処理前に結晶表面に存在したCOPビットを平滑化することが可能である。

【0038】雰囲気ガスとして非酸化性雰囲気ではなく、酸素を0.01vo1%以上100vo1%以下含む雰囲気を用いることもできるが、この場合は表面の再研磨が必要である。酸素を混合させるメリットとしては、熱処理中に混入する水分などの不純物の管理をゆるめることができることが挙げられる。具体的な雰囲気としては、アルゴンなどの不活性ガス雰囲気中に酸素を混合したガスが用いられる。混合させる酸素の量としては数%が望ましいが、100vo1%酸素ガスを用いることも可能である。混合量が0.01vo1%未満であると、雰囲気ガスへの水分などの不純物の混入を厳密に管理せねばならなくなり、酸素を混合させるメリットが無くなる。熱処理後のウェハ表面には、熱処理中に発生した酸化膜により結晶欠陥の痕が、化学エッチングのビットのようにウェハ表面に発生するため、表面の再研磨が必要である。欠陥痕を完全に除去するためには表面を0.5μm以上研磨する必要がある。また、再研磨量が1.0μmより大きいと、直径換算で0.1μm以上の結晶欠陥の密度が10⁴個/cm²以下である表面無欠陥層の厚みを1μm以上とすることが困難である。

【0039】以上のように、第1または第2の発明に係る製造方法により得られた結晶より作製されたシリコンウェハを熱処理することにより、従来よりも単純、安全かつプロセス汚染の可能性が少ない熱処理条件で、従来の熱処理ウェハと同等以上の欠陥密度の低減、従来以上の深さのDZ層を得ることができることに加え、ウェハ内部に高密度の析出欠陥を有するIG層を形成することができる。特に限定されるものではないが、この第3の発明に係る製造方法により得られるシリコンウェハは、代表的には、基板から深さ0.1μmまでの領域において、直径換算で0.1μm以上の結晶欠陥密度が10⁴個/cm²以下であるものとなる。一方、基板の厚み中心においては、内部の析出欠陥は、基板表面近傍に存在するものとは異なり、外方拡散して分解消滅することなく熱処理工程を経ても、直径換算で0.1μm以上の結晶欠陥が10⁴個/cm²以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させることができる。

【0040】次に、本発明に係る第4のシリコン単結晶基板の製造方法は、上記第1の発明ないしは第2の発明の製造方法において得られたシリコン単結晶より作製されたシリコンウェハ表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とする。

【0041】上記したように第1の発明の製造方法にお

いて得られたシリコン単結晶より作製されたシリコンウェハは、0.2μm程度かそれ以上の空孔欠陥を形成しておらず、第2の発明の製造方法において得られたシリコン単結晶より作製されたシリコンウェハも、空孔欠陥を実質的に有しておらず、かつ高温で不安定な微小酸素析出物を適度な密度で有しているのみである。従って、エピタキシャル成長工程における前熱処理工程である水素処理工程やエピタキシャル単結晶堆積工程において、酸素の外方拡散効果によってシリコンウェハ表面領域に存在する析出欠陥は容易に分解・収縮し、無害化される結果、サイズが直径換算で0.1μm以上の結晶欠陥密度が10⁴個/cm²以下であるような領域がエピタキシャル層のみならずエピタキシャル層堆積前のシリコンウェハ表面から少なくとも深さ1μmまでの領域において容易に形成する。一方、基板内部の微細な酸素析出物は、基板表面近傍に存在するものとは異なり、酸素が外方拡散して分解消滅することなくエピタキシャル層堆積工程を経ても、直径換算で0.1μm以上の結晶欠陥が10⁴個/cm²以上で残留し、デバイス製造工程の熱処理において成長し、IG作用に有効な結晶欠陥を誘起させることができる。

【0042】この第4のシリコン半導体基板を製造においては、上記第1の製造方法または第2の製造方法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコン半導体基板を用い、表面にシリコン単結晶層をエピタキシャル成長させる。エピタキシャル成長法は、気相成長装置で行うが、通常、気相成長前に、水素ガス雰囲気内で所定（一般には900°Cから1200°Cの範囲内の一定温度）の温度域まで昇温し、引き続き塩化水素を含むガス等によるエッチングを数分行い、表面コンタミネーション除去及びウェハ表面の活性化を行った後、シラン系ガスを用いてウェハ表面にエピタキシャル薄膜を成長せるものである。

【0043】さらに本発明に係る第5のシリコン半導体基板の製造方法は、前記第3の製造方法により得られたシリコン半導体基板表面に、エピタキシャル法によりシリコン単結晶層を堆積してなることを特徴とする。

【0044】すなわち、第5のシリコン半導体基板の製造方法は、上記第1の製造方法または第2の製造方法により育成したシリコン単結晶インゴットをスライス、鏡面研磨して得られるシリコンウェハを、非酸化性雰囲気中において1000°C以上1300°C以下の温度で1時間以上熱処理し、得られたシリコンウェハ表面にさらにエピタキシャル法によりシリコン単結晶層を堆積せるものである。外方拡散熱処理を行って基板表面の析出欠陥を消滅・収縮させて、無害化を図ったウェハ表面に、さらにエピタキシャル層を堆積することによって、より完全に基板表面の無欠陥化を図ったものであり、高品質でかつ十分な深さの無欠陥層を表面領域に有し、かつ基板内部にはゲッタリング能力に優れた析出欠陥層を有す

るシリコン半導体基板となるものである。

【0045】このように、本発明の第5のシリコン半導体基板の製造方法は、上記したような水素を添加した、もしくは水素および窒素を添加した基板表面にエピタキシャル層を積層する上で、より完全に基板表面の無欠陥化を促進するためにエピタキシャル成長前に高温熱処理を施し、表面と内部の結晶欠陥密度の差を顕著にさせる方法である。

【0046】第3のシリコン半導体基板に係る製造方法におけると同様の理由から、熱処理温度は1000°C以上1300°C以下、望ましくは1100°C以上1200°C以下が適当である。従って、エピタキシャル成長前の基板表面領域に必要な無欠陥層の深さおよび経済的な観点からの熱処理時間の許容時間を勘案しながら、上記の温度範囲でできるだけ低い温度で熱処理することが望ましい。熱処理方法としては、酸化性雰囲気でもよいが、エピタキシャル層堆積のためには不要な酸化膜の形成を排除するために非酸化性ガス雰囲気中で熱処理することが好ましい。またエピタキシャル成長については、第4のシリコン半導体基板に係る製造方法において先に説明したと同様のものである。

【0047】

【実施例】以下に本発明の実施例を挙げて説明するが、本発明はこれらの実施例の記載によって何ら限定されるものではない。

【0048】実施例1

本実施例における引上げ結晶の仕様を述べる。結晶径は8インチ用(直径205mm)で、伝導型はP型(ポロンドープ)、抵抗率は10Ωcmである。

【0049】酸素濃度はルツボ回転速度等を調整し、 $8.0 \times 10^{17} \text{ atoms/cm}^3$ の濃度(酸素濃度は、赤外吸収法により測定し、濃度は日本電子工業振興協会による酸素濃度換算係数を用いて算出)の結晶を製造した。炭素濃度は $1.0 \times 10^{16} \text{ atoms/cm}^3$ 未満(赤外吸収法によって測定し、濃度は日本電子工業振興協会による炭素濃度換算係数を用いて算出)である。

【0050】引上機内にはコールドエバボレーターから供給されるアルゴンガスを40L/分の流量で、原料の加熱時から冷却時まで流した。水素ガスは原料のポリシリコンが融解を始めてから、インゴットの引上か完了す

るまでの間、引上機へのアルゴンガスの導入口からアルゴンガスに対し50ppmの体積比となるように混入して引上機内へ導入した。

【0051】得られた結晶を評価するために、引上育成した結晶を切断、円筒研削後、スライス～鏡面研磨～洗浄仕上げして、ウェハを作製した。そして赤外レーザー散乱法による欠陥測定装置(赤外レーザートモグラフ)によりシリコンウェハの厚さ中心(バルク領域)における $0.1 \mu\text{m}$ 以上のサイズの結晶欠陥の密度を調べ、さらに密度最大のものにおける欠陥の大きさを調べた。結果を表1に示す。

【0052】比較例1

水素ガスを導入しない以外は、実施例1と同様の条件で結晶を育成し、同様の評価を行った。結果を表1に示す。

【0053】実施例2

シリコン融液に横磁場を印加する以外は、実施例1と同様の条件で、 $7.0 \times 10^{17} \text{ atoms/cm}^3$ の酸素濃度の結晶を育成し、同様の評価を行った。結果を表1に示す。

【0054】比較例2

水素ガスを導入しない以外は、実施例2と同様の条件で結晶を育成し、同様の評価を行った。結果を表1に示す。

【0055】実施例3

原料融解後に導入する水素の量を、アルゴンガス40L/分に対し 0.1 ppm の体積比となるように混入した以外は実施例1と同様の条件で結晶を育成し、同様の評価を行った。結果を表1に示す。

【0056】比較例3

原料融解後に導入する水素の量を、アルゴンガス40L/分に対し4%の体積比となるように混入した以外は実施例1と同様の条件で結晶を育成しようとしたところ、引上開始後約5時間を経過した時点で、融液面にゴミが発生し、単結晶ができなくなった。このゴミはシリコン融液表面から発生しているSiOガスと雰囲気中の水素およびヒーターなどに用いられている炭素が反応し、SiC様のゴミが発生したものと考えられる。

【0057】

【表1】

	赤外トモグラフで測定した欠陥の密度が最大の大きさ (μm)	欠陥密度 (個/cc)
実施例1	0.15	1E+06
比較例1	0.25	5E+06
実施例2	0.15	8E+05
比較例2	0.25	4E+06
実施例3	0.18	1E+06
比較例3	単結晶育成できず	

【0058】実施例4

本実施例における引上げ結晶の仕様を述べる。結晶径は8インチ用(直径205mm)で、伝導型はP型(ボロンドープ)、抵抗率は10Ωcmである。約80kgの原料を溶解し、直径205mmの約60kgのインゴットを作成した。

【0059】窒素の添加は、ノンドープのシリコン基板にCVD法により窒化膜を形成したウェハを、原料の溶解時に同時に溶かすことにより行った。シリコン融液中の窒素濃度が 1×10^{17} atoms/cm³となるように窒化膜付ウェハの枚数を定めた。引きあがった結晶中の窒素濃度は 1.5×10^{17} atoms/cm³であった。

【0060】酸素濃度はルツボ回転速度等を調整し、 8.0×10^{17} atoms/cm³の濃度(酸素濃度は、赤外吸収法により測定し、濃度は日本電子工業振興協会による酸素濃度換算係数を用いて算出)の結晶を製造した。炭素濃度は 1.0×10^{16} atoms/cm³未満(赤外吸収法によって測定し、濃度は日本電子工業振興協会による炭素濃度換算係数を用いて算出)である。

* 【0061】引上機内にはコールドエバボレーターから供給されるアルゴンガスを40L/分の流量で、原料の加熱時から冷却時まで流した。水素ガスは原料のボリシリコンが融解を始めてから、インゴットの引上が完了するまでの間、引上機へのアルゴンガスの導入口からアルゴンガスに対し50ppmの体積比となるように混入して引上機内へ導入した。

【0062】得られた結晶を評価するために、引上育成した結晶を切断、円筒研削後、スライス～鏡面研磨～洗净仕上げして、ウェハを作製した。そして赤外レーザー散乱法による欠陥測定装置(赤外レーザートモグラフ)によりシリコンウェハの厚さ中心(バルク領域)における0.1μm以上の大きさの結晶欠陥の密度を調べ、さらに密度最大のものにおける欠陥の大きさを調べた。結果を表2に示す。

【0063】比較例4

水素ガスを導入しない以外は、実施例4と同様の条件で結晶を育成し、同様の評価を行った。結果を表2に示す。

【0064】

* 【表2】

	赤外トモグラフで測定した欠陥の密度が最大の大きさ (μm)	欠陥密度 (個/cc)
実施例4	0.12	2E+08
比較例4	0.15	8E+08

【0065】実施例5～6および比較例5～6

実施例1、4及び比較例1、4で得られたウェハを下記の条件で熱処理した。

【0066】シリコンウェハを800°Cで炉内に挿入し、挿入後10°C/minで昇温し1100°Cで8時間保持した後、-10°C/minで降温し800°Cで基板を取り出した。熱処理に用いたガスはコールドエバボレーターにより供給されたアルゴンガスをユースポイントで純化装置により生成したガスを用いた。ガス中の不純物濃度は5ppm以下であった。このガスを上記熱処理を通して雰囲気として用いた。また基板の挿入時には炉前に設けられたバージボックスによりバージを行い、試

料を待機させている炉前の雰囲気が不純物5ppm以下のアルゴン雰囲気になったことを確認した後、炉口を開け、基板を挿入した。

【0067】熱処理後のウェハのDZ層内の欠陥の密度を調べるために、この基板の表面を鏡面研磨により1μm研磨し、COPの測定を行った。測定は鏡面研磨直後および、アンモニア過酸化水素洗净を繰り返すことにより表面を約60nmエッティングした後に行い、COPの増加分より堆積密度を求めた。同様に3μm研磨した場合のCOPの測定も行った。また基板中心における0.1μm以上の大きさの欠陥密度を赤外トモグラフで調べた。結果を表3に示す。

【0068】

* * 【表3】

	使用ウェハ	表面より深さ1μm の欠陥密度 (個/cm ²)	表面より深さ3μm の欠陥密度 (個/cm ²)	基板中心の欠陥密度 (個/cm ²)
実施例5	実施例1	5E+03	5E+04	1E+06
比較例6	比較例1	1E+04	6E+05	5E+06
比較例5	実施例4	1E+03	5E+03	3E+08
比較例6	比較例4	1E+03	5E+04	3E+08

【0069】実施例7～10および比較例7～10

実施例1、4、5、6で得られたウェハ及び比較例1、4、5、6で得られたウェハをエピタキシャル成長装置に装填し、水素ガス雰囲気内で1100°Cから1150°Cまで昇温し、その後塩化水素ガスによるエッチングを数分間行い、トリクロルシランガスを用いて1150°Cでウェハ表面にエピタキシャル薄膜を5μm成長させた。エピタキシャルウェハの表面から深さ5μm(エビ※20

※タキシャル層堆積前の表面および表面から深さ6μm(エピタキシャル層堆積前の表面から深さ1μm)の位置の欠陥の密度を調べるために、それぞれの深さまでウェハを研磨研磨し、COPの測定を行った。また基板中心における0.1μm以上の大きさの欠陥密度を赤外トモグラフで調べた。結果を表4に示す。

【0070】

【表4】

	使用ウェハ	表面より深さ5μm の欠陥密度 (個/cm ³)	表面より深さ6μm の欠陥密度 (個/cm ³)	基板中心の欠陥密度 (個/cm ³)
実施例7	実施例1	5E+05	5E+05	1E+06
比較例7	比較例1	1E+06	1E+06	1E+06
実施例8	実施例4	1E+03	1E+03	2E+08
比較例8	比較例4	5E+03	5E+03	8E+09
実施例9	実施例5	5E+03	5E+03	1E+06
比較例9	比較例5	5E+04	1E+06	1E+06
実施例10	実施例6	1E+03	1E+03	2E+08
比較例10	比較例6	3E+03	3E+03	8E+09

【0071】

【発明の効果】以上述べたように本発明の製造方法により得られるシリコン単結晶は、水素を添加したことにより⁴⁰ *as grown*において析出する空孔欠陥のサイズが低減される。従って、この単結晶より作成したシリコンウェハ表面を外方拡散熱処理するあるいはウェハ表面にエピタキシャル法により単結晶層を堆積することで、基板表面部に高品質かつ十分な深さの無欠陥層を有する一方で、基板の厚み中心領域において析出欠陥を有しゲ

ッタリング能力が期待できる半導体デバイス用ウェハが得られ、高集積度の高い信頼性を要求されるMOSデバイス用ウェハを製造するのに最適となる。また窒素を添加してなるシリコン単結晶においては、窒素を核とする酸素析出物が高密度で発生するが、このようなシリコン単結晶の製造においてさらに水素を所定量添加することでこの酸素析出物の密度を制御することが可能であり、デバイスの用途に応じてその密度を適宜調整することができる。

フロントページの続き

(72)発明者 中居 克彦
神奈川県川崎市中原区井田3-35-1 新
日本製鐵株式会社技術開発本部内

F ターム(参考) 4G077 AA02 AA03 AB01 BA04 CF10
DB01 EA06 EB01 ED06 FE02
FE11
SF053 AA12 AA13 AA14 DD01 FF04
GG01 KK03 KK10 PP03 PP05
PP08 PP12 RR13 RR20